

FIŞA DISCIPLINEI

Proiectarea logică a dispozitivelor numerice COBD207

Număr credite 4

1. Obiectivele disciplinei

Conținutul disciplinei urmărește să prezinte studenților algoritmi fundamentali folosiți pentru analiza și sinteza structurilor numerice realizate cu circuite integrate. Sunt prezentate atât metodele de analiză și sinteză folosite în proiectarea manuală, pentru sisteme de complexitate mică și medie, cât și metode folosite în proiectarea automată a sistemelor numerice.

2. Rezultatele învățării (*se exprima în obiectivele măsurabile ce fac subiectul evaluării*)

a. Cunoștințele generale

Însușirea tehniciilor de analiză și sinteză a sistemelor numerice, absolut necesare pentru proiectarea unor circuite numerice folosite în construcția fizică a tehnicii de calcul și a echipamentelor de automatizare.

b. Cunoștințele de specialitate

Metode de proiectare și analiză a schemelor logice combinaționale și sevențiale, incluzând și metode automate de proiectare, prin folosirea unor limbaje de descriere hardware sau programe de analiză prin simulare pe calculator.

c. Competențele generale

Proiectare hardware, lucru în echipă hardware-software.

d. Competențele de specialitate

Arhitectura sistemelor de calcul, interfeile specializate sau interfețe de proces.

e. Abilitățile cognitive specifice

Rezolvarea unor probleme practice de proiectare și interconectare a echipamentelor hardware.

3. Concordanța cu obiectivele planului de învățământ/specializării

a. Contribuția rezultatelor învățării disciplinei la formarea competențelor specializării

Disciplina este un curs de inițiere în proiectarea sistemelor cu circuitele integrate digitale. Cunoștințele asimilate vor fi utile pentru rezolvarea unor probleme de hardware, dar sunt necesare și unor cursuri din semestrele următoare: arhitectura sistemelor de calcul, proiectarea sistemelor cu microprocesoare, rețele de calculatoare etc.

b. Cerințele disciplinare prealabile

Sunt necesare cunoștințe prealabile din fizică (cod COBF109), disciplină care se predă în anul I. Studenții trebuie să aibă cunoștințe de bază din semiconductoare și dispozitive electronice fundamentale: dioda semiconductoare, tranzistorul bipolar, tranzistorul MOS.

4. Structura activității didactice

CURS 28 ore

Seminar nu

Lucrări practice 14 ore

Proiect 14 ore

5. Prezentarea conținutului disciplinei

a. Curs

	<i>Continutul activitatii</i>	<i>Nr. de ore</i>
Cap.1. Introducere: Analogic versus numeric. Apariția și dezvoltarea sistemelor numerice. Clasificări.		1 oră
Cap.2. Funcții binare: Definiție, exemple. Modalități de reprezentare. Minimizarea funcțiilor binare. Metoda diagramelor Veitch-Karnaugh. Alte metode de minimizare.		3 ore
Cap.3. Structuri combinaționale: Principalele funcții logice în sistemele MSI, prezentate funcțional: decodificator, codificator, demultiplexor, multiplexor, memorie ROM. Funcții logice specializate destinate calculelor în sistemele numerice: sumator, comparitor, codificator prioritari, unitate aritmetică-logică.		5 ore
Cap.4. Circuite bistabile: Definiții. Prezentare funcțională a principalelor tipuri de circuite bistabile: latch-ul SR, latch-ul de tip D, bistabilul de tip D, bistabilul de tip JK și bistabilul de tip T. Transformări și comparații.		3 ore
Cap.5. Registre: Definiție. Clasificare: Registrul serie. Registrul paralel. Registrul serie-paralel. Aplicații.		2 ore
Cap.6. Numărătoare: Divizoare de frecvență. Numărătoare sincrone. Numărătoare evazi-sincrone. Descompunerea numărătoarelor.		2 ore
Cap.7. Automate cu stări finite: Definiții. Clasificare. Transformarea automatelor. Reducerea numărului de stări. Codificarea stărilor. Metode de sinteză a automatelor sincrone. Implementarea cu registre. Metode de sinteză a automatelor asincrone. Analiza automatelor finite.		6 ore
Cap.8. Limbaje de descriere hardware: Elemente ale limbajului VHDL. Elemente ale limbajului Verilog HDL.		3 ore
Cap.9. Exemple de proiectare: Structuri programabile. Implementarea unui automat finit într-o structură CPLD. Implementarea unui procesor specializat într-o structură FPGA.		3 ore

b. Seminar

Continutul activitatii

Nr. de ore

c. Lucrări practice

Continutul activitatii

Nr. de ore

1. Implementarea unor structuri numerice simple cu porți logice folosind limbajul Verilog HDL și mediul VeriWell;
2. Implementarea unor structuri combinaționale MSI folosind limbajul Verilog HDL;
3. Implementarea latch-urilor și bistabilelor folosind limbajul Verilog HDL;
4. Registre, memorii și numărătoare implementate în Verilog HDL;
5. Automate finite implementate în Verilog HDL;
6. Prezentarea mediul de proiectare cu structuri programabile ISE 8.2 – Xilinx;
7. Implementarea unor automate finite folosind circuitele XC3064 CPLD și Spartan 3 FPGA de la firma Xilinx;

d. Proiect

Continutul activitatii

Nr. de ore

1. Implementarea schemei electrice a unui automat finit folosind circuite TTL sau CMOS de uz general, în conformitate cu specificațiile date în foile de catalog;
2. Implementarea schemei electrice a unui automat finit folosind circuite programabile (PLD sau FPGA), în conformitate cu specificațiile date în foile de catalog;

6. Invatare

a. Forme de invatare/predare

Predarea cursului se face sub formă de prelegeri. Cunoștințele se completează la laborator, când are loc participarea directă a studentilor la dezbaterea teoretică a lucrărilor, pregătirea condițiilor de lucru, efectuarea experimentelor, prelucrarea și interpretarea rezultatelor. La finalul fiecărei lucrări practice se formulează concluziile și se discută cu studenții eventuale limite ale experimentului și generalizări posibile.

b. Resurse educationale

Având seri mari de studenți, predarea s-a făcut până acum folosind creia la tablă. Există și folii transparente pentru retroproiector, care s-au folosit pentru predare, atunci când am avut seri mai mici de studenți. Există și o pagină Web a disciplinei, care conține transparentele folosite la curs, referatele lucrărilor de laborator, subiecte de examen, o carte completă în format pdf și link-uri spre alte resurse on-line disponibile pe Internet URL: http://www/etc.ugal.ro/rpopa/assn_course/assn_course.htm

c. Bibliografie disponibilă

În biblioteca universității și în biblioteca catedrei există lucrările:

1. Popa R., *Analiza și sinteza sistemelor numerice*, Editura Fundației Universitare "Dunărea de Jos", Galați, 2002
 2. Popa R., Iliev M., *Analiza și sinteza sistemelor numerice. Aplicații*, Editura Fundației Universitare "Dunărea de Jos", Galați, 2003
- Prima lucrare este disponibilă și pe Internet la pagina Web menționată mai sus. Tot acolo se găsesc și numeroase link-uri spre alte cursuri complete disponibile on-line. Alte lucrări recomandate (disponibile la biblioteca V.A. Urechia) sunt:
3. Wakerly, J., *Circuite digitale. Principiile și practicile folosite în proiectare*, Editura Teora, București, 2002 (traducere din limba engleză)
 4. Toacșe Gh., Nicula D., *Electronică digitală. Verilog HDL – vol.2*, Editura Tehnică, București, 2005

d. Alte resurse

Lucrările de laborator 1-5 se desfășoară pe calculator, folosind un mediu de programare în Verilog freeware, de la firma VeriWell. Pentru lucrările 6-7 se folosesc platforme realizate în logică programată de la firma Xilinx, cuplante la calculatoare compatibile Pentium cu sistem de operare Windows și software specializat (programul ISE Foundation 8.2 Xilinx – cu licență pentru mediul academic). Cadrul didactic care se ocupă de buna desfășurare a orelor de laborator este prep. drd. ing. Epure Silviu, care are experiență în acest domeniu.

7. Studiu individual: 44 ore

8. Evaluare

a. Forme de evaluare

Verificarea cunoștințelor acumulate la curs se face prin verificare, înainte de începutul sesiunii de examene. Verificarea constă într-o lucrare scrisă de 2 ore, prin care se urmărește atât însușirea aspectelor teoretice fundamentale prezentate la curs, cât mai ales aptitudinile studentilor în rezolvarea problemelor.

Verificarea cunoștințelor acumulate la activitatea de desfășurare a lucrărilor practice de către studenți se face printr-o lucrare scrisă (la mijlocul semestrului) și o examinare orală – care ține seamă și de activitatea studentului la laborator, (la sfârșitul semestrului) după terminarea lucrărilor de laborator. Studentul va primi o notă pentru activitățile practice, calculată ca medie aritmetică a celor două note.

Sușinerea proiectului se face de către fiecare student în fața colegilor de grupă. Studentul primește o notă, în funcție de prezentare, aspectul proiectului și activitatea lui pe parcursul orelor de proiect.

b. Prințipiu de notare

Nota finală pe care o primește studentul la examen se calculează ca medie ponderată între nota de la lucrarea scrisă pe durata desfășurării verificării și notele primite la laborator și proiect. Ponderea examenului este de 60% din nota finală, cea a laboratorului de 20%, iar cea a proiectului tot de 20%. Orice zi de întârziere în predarea proiectului (care are loc la ultima ședință de proiect din orar) se penalizează cu un punct la notă de la proiect.

c. Informarea studentilor cu privire la evaluarea asociată disciplinei

La prima ședință de curs, studenții sunt informați de către titularul cursului asupra modului de lucru la curs, laborator și proiect, precum și asupra cerințelor de evaluare a disciplinei. Toate aceste informații sunt repetate și la prima întâlnire de la laborator, de către cadrul didactic care desfășoară activitățile practice cu studenții. În plus, toate aceste informații se vor afișa și pe site-ul disciplinei, la adresa menționată mai sus.

9. Responsabil de curs

Nume : conf. dr. ing. Popa Ruxtem

Date de contact : e-mail: Ruxtem.Pop@ugal.ro

URL: <http://www/etc.ugal.ro/rpopa/index.htm>

Responsabil de curs,



Sef Departament / Catedra,

